

文章编号:1007-2780(2019)03-0273-05

网状斑点不良分析研究

白金超*, 王 勋, 吴祖谋, 丁向前, 张向蒙, 李小龙, 左天宇, 宋勇志, 陈维涛
(北京京东方显示技术有限公司, 北京 100176)

摘要:针对网状斑点 (Emboss Mura) 不良现象进行系统研究, 确定不良发生的机理, 并找到有效的改善措施。首先通过半导体参数测试设备和改变电压、频率等方法测试 Mura 电学特性, 然后采用扫描电子显微镜、椭偏仪对栅极绝缘层进行测量, 最后采用扫描电子显微镜、X 射线电子能谱对玻璃基板背面 Mura 形貌和成分进行测试, 对 Mura 产生的原因提出合理的解释, 并给出有效的改善措施。结果表明, Emboss Mura 是干刻反应腔下部电极的阵列凸起划伤玻璃基板背面和凸起碎屑粘附在划伤处形成的。通过更改电极凸起的形状、结构、材质以及下部电极清洁方式、优化电极温度、增加 PI 膜厚等方式可以极大降低不良的发生率。

关 键 词: 网状斑点不良; 下部电极; 划伤

中图分类号: TN141.9 **文献标识码:** A **doi:** 10.3788/YJYXS20193403.0273

Research of Emboss Mura

BAI Jin-chao*, WANG Xun, WU Zu-mou, DING Xiang-qian, ZHANG Xiang-meng,
LI Xiao-long, ZUO Tian-yu, SONG Yong-zhi, CHEN Wei-tao

(Beijing BOE Display Technology Co., Ltd., Beijing, 100176, China)

Abstract: The Emboss Mura is investigated systematically, the mechanism is found, and the effective measures to improve Emboss Mura are established. Firstly, electrical properties of Mura were tested by means of semiconductor parameter testing equipment and changing voltage and frequency. Then, the gate insulator properties were confirmed by scanning electron microscopy (SEM) and ellipsometer. Finally, Mura morphology and composition on the back of glass substrate were tested by SEM and X-ray photoelectron (EDS), and a reasonable explanation for the causes of Mura is given, effective improvement measures are put forward. The results show that Emboss Mura is formed by scratching the back of the glass on the bottom electrode emboss and sticking the scratches with the scratch debris. By changing the shape, structure and material of bottom electrode emboss, cleaning bottom electrode, optimizing electrode temperature and increasing PI film thickness, Emboss Mura ratio can be greatly reduced.

Key words: Emboss Mura; bottom electrode; scratch

收稿日期: 2018-09-11; 修订日期: 2018-12-24.

* 通信联系人, E-mail: baijinchao@boe.com.cn

1 引言

随着液晶显示器行业的快速发展,人们对显示器的要求也越来越高,尤其是游戏电竞的兴起,进一步刺激了液晶显示器向着高端、精密化发展^[1-3]。这对产品设计以及生产工艺等方面都提出了更加苛刻的要求。随之而来的是各种 Mura 类不良的高发,这给产品良率、品质以及性能的提升带来了前所未有的挑战^[4-7]。Mura 一词源于日语むら,为斑点之意。Mura 现象是指显示屏点灯时,显示亮度和色度不均一而出现大小不一、可见的斑块现象。其中 Emboss Mura 是困扰液晶显示器生产的常见不良,严重影响产品品质。

本论文采用扫描电子显微镜(SEM)、X 射线电子能谱(EDX)、椭偏仪、半导体参数测试设备对 Emboss Mura 相关参数进行测试,对产生机理进行了全面的分析和讨论,并提出了相应的改善方案,可以有效的降低 Emboss Mura 的发生率。这对企业的生产和发展以及用户的使用都具有很大的意义。

2 实验及数据

2.1 不良现象

在 4-Mask 工艺中,阵列玻璃基板在干刻反应腔内完成有源半导体层刻蚀和光刻胶灰化后,在光照下,玻璃基板的正反面都能肉眼观测到直径约为 1 mm,间距为 5 mm 的网状斑点 Mura,如图 1 所示。在组装成液晶显示屏后,在特定的灰阶下这种不良现象仍然可见。该不良严重影响

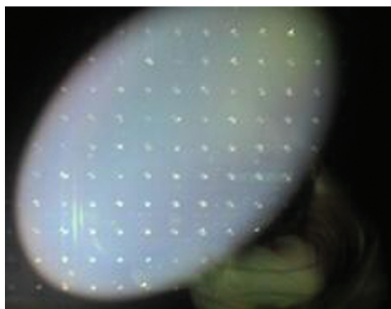


图 1 Emboss Mura 图片

Fig.1 The defect image of Emboss Mura

了产品的性能,降低了产品的品质等级。经调查此网状斑点 Mura 与干刻反应腔下部电极的阵列凸起(Emboss)分布基本吻合,故称为 Emboss Mura。更换新的下部电极后,前期 Mura 发生率极低,使用一段时间后发生率逐渐上升。为了明确 Emboss Mura 发生机理,本论文对阵列基板的电学特性、膜质特性以及设备进行系统的测试,具体结果如下。

2.2 不良区域电学特性测试

2.2.1 TFT I-V 曲线测试

为了确认 Emboss Mura 区域 TFT 电学特性是否异常,本实验用半导体参数测试设备对 Mura 区域和正常区域进行 TFT I-V 测量,测试结果如图 2 所示。由图 2 可知,Mura 区域和正常区域的 TFT I-V 曲线基本一致,TFT 电学特性无异常。

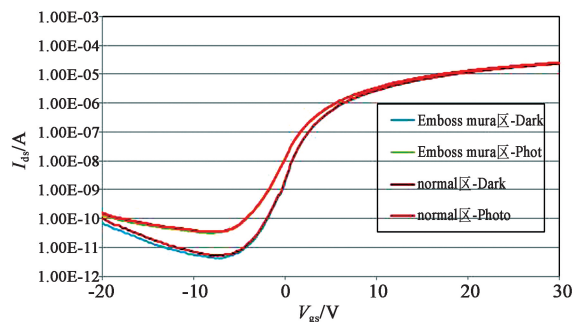


图 2 Mura 区和正常区 TFT I-V 曲线

Fig.2 TFT I-V curve of Mura area and normal area

2.2.2 V_{gl} 、 V_{gh} 测试

为了测量 V_{gl} 、 V_{gh} 对 Emboss Mura 的影响,使用控制变量的原则对 V_{gl} 、 V_{gh} 进行测试。首先固定 V_{gl} ,改变 V_{gh} ,加压值分别为 15, 20, 25, 30, 35, 40 V 时,观测 Mura 发生的严重程度。实验表明,Emboss Mura 严重程度不随 V_{gh} 的变化而变化。

然后固定 V_{gh} ,改变 V_{gl} ,加压值分别为 -1, -3, -6, -8, -9, -10 V 时,观测 Mura 发生的严重程度。实验表明,Emboss Mura 严重程度不随 V_{gl} 的变化而变化。故改变 V_{gh} 和 V_{gl} 大小,对 Emboss Mura 严重程度没有影响。

2.2.3 频率变化和 DC 测试

测试刷新率变化对 Emboss Mura 的影响,在 25~100 Hz 范围改变显示屏的刷新率,每隔 10 Hz 进行测试观察,发现 Emboss Mura 现象没有明显变化。另外进行直流点屏测试,Emboss

Mura 现象与交流点屏时一致。

2.3 不良区域膜质特性测试

EmbossMura 是在完成有源半导体层刻蚀和光刻胶灰化后产生的,因有源半导体层刻蚀和光刻胶灰化会对栅极绝缘层产生影响,故需要验证 Emboss Mura 和栅极绝缘层的关联性。本实验用椭偏仪和 SEM 测量栅极绝缘层的折射率和厚度,样品为完成有源半导体层刻蚀和光刻胶灰化的阵列基板。由表 1 和表 2 的数据可以看出,Emboss Mura 区和正常区域的栅极绝缘层的折射率和厚度基本一致。所以,Emboss Mura 与栅极绝缘层无关。

表 1 栅极绝缘层椭偏仪测试结果

Table.1 Gate insulator ellipsometry test result

Point	Normal 区		Mura 区	
	Thickness/nm	<i>n</i>	Thickness/nm	<i>n</i>
1	372.3	1.947	372.1	1.946
2	372.0	1.946	372.3	1.945
3	371.8	1.948	370.7	1.954
4	372.4	1.947	372.7	1.945
5	372.2	1.950	373.0	1.950
AVE	372.1	1.948	372.2	1.948

表 2 栅极绝缘层厚度 SEM 测试结果

Table. 2 Gate insulator thickness SEM test result

Point	Normal 区厚度/nm	Mura 区厚度/nm
1	359.9	368.3
2	365.9	360.3
3	357.9	364.3
4	367.9	364.3
5	363.9	362.3
AVE	363.1	363.9

2.4 玻璃基板背面相关测试

为了进一步分析 Emboss Mura 产生的原因,本实验对发生 Emboss Mura 的阵列基板背面进行了 SEM 测试。测试结果如图 3 所示,不良区域可以观测到明显的划伤痕迹,但是在正常区域未观测到划伤痕迹。对划伤处的碎屑进行 EDX 成分分析,结果如 4 所示,碎屑与玻璃基板成分相



图 3 Mura 区域 SEM 图片

Fig.3 SEM picture of Emboss Mura

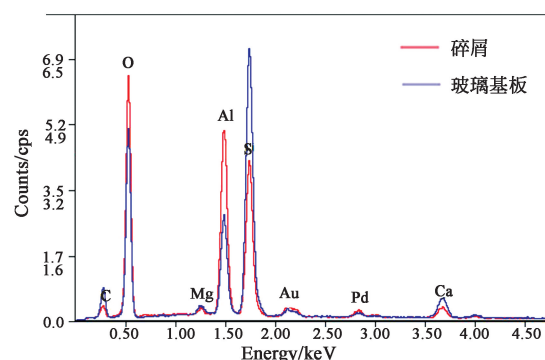


图 4 碎屑 EDX 成分分析结果

Fig.4 EDX result of detritus

比,铝元素的含量偏高。

同时,将未进行任何阵列基板制备工艺的白玻璃放入干刻反应腔室中,不进行任何刻蚀工艺,然后取出,对玻璃的正反面进行观察,仍然能够观察到 Emboss Mura。

3 机理及改善方案探究

3.1 机理分析

根据电学特性测试结果可知,Mura 区域和正常区域的 TFT I - V 曲线基本一致,改变 V_{gh} 和 V_{gl} ,以及变频测试和 DC 测试都显示 Mura 现象没有变化,测试说明 Mura 和开态电流、关态电流以及充电率无关。因此 Emboss Mura 与阵列基板的电学特性无关。

通过对 Mura 区域膜质的分析可知,Mura 区和正常区域的栅极绝缘层厚度和折射率基本一致。因此 Mura 与栅极绝缘层无关。同时无膜的白玻璃也可以观测到 Mura,更加印证了 Mura 与阵列基板的电学特性以及膜质无关。

在 Emboss mura 区的玻璃背面发现划伤痕迹,而正常区玻璃背面没有划伤痕迹,同时划伤处的碎屑铝元素的含量偏高。下部电极表面的阵列凸起为氧化铝陶瓷材料,并且 Emboss Mura 与凸起分布吻合,因此推测 Emboss Mura 发生的主要原因为玻璃背面被下部电极表面阵列凸起划伤,同时凸起碎屑粘附在划伤处形成的。玻璃背面被划伤后,划痕处的玻璃变薄,对光线的透过量比其它区域多,此外由于凸起碎屑的填充以及划痕表面的不平整使得光线穿透过程发生了漫反射,最终导致了 Emboss Mura 这种阵列式的亮点。造成玻璃划伤的原因大致如下:

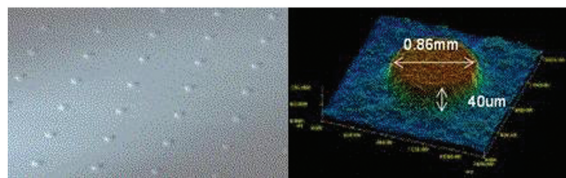


图 5 下部电极表面凸起图

Fig.5 Bottom electrode emboss dot

首先,干刻反应室的下部电极表面凸起是起支撑玻璃基板的作用,其形状如图 5 所示,直径约为 0.8 mm,高度约为 0.04 mm,间距约为 5 mm。由于凸起为陶瓷材料,表面粗糙、硬而脆的材质很容易划伤玻璃基板背面,同时下凸起长时间使用下会因碰撞和静电作用在其表面产生微裂纹,并且有碎屑掉落。

其次,玻璃基板是通过下部电极上的静电吸附(TC)来固定,以防止被下电极孔吹出的冷却氦气(BC)吹起而移位。玻璃基板在下部电极凸起的理想力平衡方程式为:

$$G + F_{TC} = (S - S_{dam} - S_e - S_{emb})P_{BC} + F, \quad (1)$$

其中: G 为基板的重力, F_{TC} 为静电吸附(TC)向下的吸附力, S 为基板面积, S_{dam} 为下部电极边沿无凸起的平滑边框面积, S_{emb} 为凸起的头部总面积, S_e 为基板超出下部电极平滑边框不受任何支撑力的面积, P_{BC} 为冷却氦气(BC)向上的压强, F 为下部电极凸起对基板向上的支撑力。

在有源半导体刻蚀和光刻胶灰化时会产生刻蚀生成物,生成物会黏附在电极凸起上,也会聚积在没有凸起的平滑边框区,从而造成接触面的不均匀,另外凸起在使用过程中经常会被磨损,所以

S_{dam} 和 S_{emb} 两个参数随着时间变化而不同。同时因为基板送进下部电极的位置不可能每次完全一致, S_e 也有微小变化。由于 S_{dam} 、 S_{emb} 和 S_e 的变化,下部电极凸起对基板向上的支撑力 F 也是一个变化数值,从而会造成玻璃基板振动,进而会造成玻璃基板背面被下部电极凸起划伤。下部电极的凸起上黏附的生成物越多,越能加剧玻璃的振动,玻璃基板背面划伤越严重,从而加剧 Emboss Mura 的发生。这也解释了为什么新的下部电极和刚清洁后的下部电极 Emboss Mura 现象发生率很低,使用一段时间后逐渐高发的现象。

3.2 改善方案探究

Emboss mura 是玻璃背面被干刻反应腔下部电极表面阵列凸起划伤和凸起碎屑粘附在划伤处形成的。为了减少 Emboss Mura 的发生,本文将从以下几方面着手解决。

3.2.1 下部电极结构

将下部电极凸起的凸头改为光滑的圆头,或者以弹性而又柔软的导电高分子材料包裹在下部电极凸起上都可以减少玻璃基板背面划伤,可以显著降低 Emboss Mura 的发生率,同时将凸起的直径减小,也可以降低 Emboss Mura 的发生率。

3.2.2 下部电极清洁方式

用丝网布浸润 50~60 °C 去离子水擦拭下部电极后,可以在 600 h 内维持 Emboss Mura 的发生率低于 1% 以下。这是因为丝网布已把凸起上的沉积物以及凸起的尖锐部分清除掉,减少玻璃背面的划伤和粘附的沉积物,从而减少 Emboss Mura 的发生。

3.2.3 下部电极温度优化

将下部电极温度从 40 °C 升高到 50 °C,高温下生成物不易附着在电极表面,可以加快反应生成物的挥发,减少下部电极凸起上粘附生成物,从而减少 Emboss Mura 发生。

3.2.4 PI 膜厚优化

通过增加产品 PI 膜厚 70~90 nm,掩盖玻璃基板背面的划伤,可以显著降低模组端 Mura 的发生,发生率可以控制在 0.5% 以下。

4 结 论

本文针对 Emboss Mura 不良进行系统研究,排除电学特性、膜质的影响,确定了 Emboss

Mura 是干刻反应腔下部电极表面阵列凸起划伤和凸起碎屑粘附在划伤处形成的。通过更改电极凸头的形状、材质,优化清洁方式和电极温度、增加 PI 膜厚等方式可以极大的降低不良的发生率。

参 考 文 献:

- [1] 谷至华.薄膜晶体管(TFT)阵列制造技术[M].上海:复旦大学出版社,2007.
GU Z H. *Thin Film Transistor (TFT) Array Manufacturing Technology* [M]. Shanghai: Fudan University Press, 2007. (in Chinese)
- [2] 申智源.TFT-LCD 技术:结构、原理及制造技术[M].北京:电子工业出版社,2012.
SHEN Z Y. *TFT-LCD Technology: Structure, Principle and Manufacturing Technology* [M]. Beijing: Publishing House of Electronics Industry, 2012. (in Chinese)
- [3] 胡凯,陈禹翔,李青.透明显示技术的进展[J].电子器件,2012,35(6):639-646.
HU K, CHEN Y X, LI Q. Development of transparent display technology [J]. *Chinese Journal of Electron Devices*, 2012, 35(6): 639-646. (in Chinese)
- [4] 张光明,白金超,曲泓铭,等.垂直线不良分析与改善[J].液晶与显示,2017,32(5):352-356.
ZHANG G M, BAI J C, QU H M, *et al.* Analysis and improvement of vertical line mura [J]. *Chinese Journal of Liquid Crystals and Displays*, 2017, 32(5): 352-356. (in Chinese)
- [5] 毕昕,丁汉.TFT-LCD Mura 缺陷机器视觉检测方法[J].机械工程学报,2010,46(12):13-19.
BI X, DING H. Machine vision inspection method of Mura defect for TFT-LCD [J]. *Journal of Mechanical Engineering*, 2010, 46(12): 13-19. (in Chinese)
- [6] YOU J, JIA Q, YANG Y F, *et al.* Improvement of dark state light leakage in ADS mode LCDs [J]. *SID Symposium Digest of Technical Papers*, 2015, 46(1): 1544-1547.
- [7] ZHANG W, SONG S H, LI J, *et al.* Analysis of rubbing Mura in fringe field switching liquid crystal display [J]. *SID Symposium Digest of Technical Papers*, 2013, 44(1): 1122-1125.

作者简介:



白金超(1983—),男,河南南阳人,硕士研究生,2010 毕业于南开大学,主要从事 TFT-LCD 工艺研究。E-mail: baijinchao@boe.com.cn